



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 3 0 4 7 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 0 4 7 0]

出 願 人 アルプス電気株式会社
Applicant(s):

2 0 0 3 年 8 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

出証番号 出証特 2 0 0 3 - 3 0 6 5 8 9 1

【書類名】 特許願

【整理番号】 AB02025

【提出日】 平成14年11月14日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133
G09G 3/20
G09G 3/36

【発明の名称】 容量素子駆動回路

【請求項の数】 6

【発明者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社
社内

【氏名】 藤由 達巳

【特許出願人】

【識別番号】 000010098

【氏名又は名称】 アルプス電気株式会社

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704956

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 容量素子駆動回路

【特許請求の範囲】

【請求項 1】 入力される電圧に従って容量素子を駆動する容量素子駆動回路において、

第 1 の電源から容量素子に電流を供給する第 1 の定電流源と、

第 2 の電源に前記容量素子から電流を引き込む第 2 の定電流源と、

前記入力電圧と前記容量素子へ供給される出力電圧とを比較する第 1 の比較手段と、

前記入力電圧が所定の参照電圧とを比較する第 2 の比較手段と、

前記第 2 の比較手段による比較結果に基づいて、前記容量素子を前記第 1 の電源または前記第 2 の電源で充放電した後、前記第 1 の比較手段による比較結果に基づいて、前記容量素子に対して前記第 1 の定電流源または前記第 2 の定電流源を介して充放電させて、前記容量素子の充電電圧が前記入力電圧に達した時点で保持する制御手段と

を具備することを特徴とする容量素子駆動回路。

【請求項 2】 前記第 1 の定電流源と前記容量素子との経路を開閉する第 1 のスイッチ手段と、

前記第 2 の定電流源と前記容量素子との経路を開閉する第 2 のスイッチ手段と

前記容量素子と前記第 1 の電源の経路を開閉する第 3 のスイッチ手段と、

前記容量素子と前記第 2 の電源の経路を開閉する第 4 のスイッチ手段と

を具備し、

前記制御手段は、

前記第 2 の比較手段による比較結果に基づいて、前記第 3 のスイッチ手段および前記第 4 のスイッチ手段を開閉制御し、前記容量素子を前記第 1 の電源または前記第 2 の電源で充放電した後、前記第 1 の比較手段による比較結果に基づいて、前記第 1 のスイッチ手段および前記第 2 のスイッチ手段を開閉制御し、前記容量素子の電圧を前記第 1 の定電流源または前記第 2 の定電流源を介して充放電し

て前記入力電圧に達した時点で保持することを特徴とする請求項 1 記載の容量素子駆動回路。

【請求項 3】 前記第 1 の比較手段は、インバータと、前記入力電圧とインバータの論理閾値の電圧の差分の電圧を保持するキャパシタとからなるスイッチドコンパレータより構成されていることを特徴とする請求項 2 記載の容量素子駆動回路。

【請求項 4】 前記第 2 の比較手段は、前記入力電圧を反転するインバータと、前記インバータへの入力信号の供給／非供給を行なうアナログスイッチとから構成されていることを特徴とする請求項 2 記載の容量素子駆動回路。

【請求項 5】 前記第 2 の比較手段は、前記第 1 の電源と前記第 2 の電源との中間電位を前記参照電圧として、前記入力電圧と比較することを特徴とした請求項 2 記載の容量素子駆動回路。

【請求項 6】 前記第 1 の比較手段は、論理閾値が変更可能なインバータからなるスイッチドコンパレータから構成されていることを特徴とする請求項 2 記載の容量素子駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置を駆動する駆動回路に係り、特に、容量素子駆動回路に関する。

【0002】

【従来の技術】

携帯用の TFT-LCD においては、低電力な駆動回路が望まれている。従来、TFT-LCD のソースドライバにおける駆動回路の出力段部には、オペアンプを使用したものが主流であり、例としては、特開平 9-18253、特開平 9-64662 などが挙げられる。

【0003】

TFT-LCD は、図 10 に示すように、走査線 51、データ線 52、薄膜トランジスタ 53、画素電極 54、液晶を介した対向電極（図示略）からなる。走

査線 5 1 は、ゲートドライバ 5 6 により順次選択され、ソースドライバ 5 7 は、アナログ信号をデータ線 5 2 に送出する。

【 0 0 0 4 】

ソースドライバ 5 7 は、タイミングコントロール 5 5 従って、シフトレジスタ・データラッチ 5 8 によりマルチプレクスされたデジタル信号を各チャネルに分配し、R - S t r i n g 5 9 および D / A コンバータ 6 0 により D A 変換し、バッファ 6 1 を介し、データ線 5 2 に送出する。バッファ 6 1 は、容量負荷を有するデータ線 5 2 を速やかに駆動するために必要とされる。

【 0 0 0 5 】

液晶表示装置においては、画質の観点より画素に正確な電位供給を行う必要性があることから、従来、出力段（電流増幅段）の回路構成としては、図 9 に示すように、差動増幅回路を使用したオペアンプ構成のものが使用されていた（例えば、特許文献 1 参照。）。

【 0 0 0 6 】

【特許文献 1】

特開 2 0 0 0 - 3 3 8 4 6 1 号公報

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、オペアンプ回路の構成では、差動段やバッファ段にバイアス電流を流す必要がある。特に、バッファ段には、電流 I を常時流す必要があり、A 級または A B 級動作であったので、電力効率が良くないという欠点があった。出力段に供給される電力は、実際に負荷を駆動するのに必要な電力の数倍になる。

【 0 0 0 8 】

実際にソースドライバに供給されている電力のうち、出力の負荷に供給されている電力は、2 0 % ~ 4 0 % 程度でその大部分が出力段の損失となっている。

【 0 0 0 9 】

この発明は上述した事情に鑑みてなされたもので、液晶表示装置のソースドライバにおける出力段部分の電力損失を減らし、ソースドライバ、ひいては液晶表示装置全体の低消費電力化を実現することができる容量素子駆動回路を提供する

ことを目的とする。

【0010】

【課題を解決するための手段】

上述した問題点を解決するために、請求項1記載の発明では、入力される電圧に従って容量素子を駆動する容量素子駆動回路において、第1の電源から容量素子に電流を供給する第1の定電流源と、第2の電源に前記容量素子から電流を引き込む第2の定電流源と、前記入力電圧と前記容量素子へ供給される出力電圧とを比較する第1の比較手段と、前記入力電圧が所定の参照電圧とを比較する第2の比較手段と、前記第2の比較手段による比較結果に基づいて、前記容量素子を前記第1の電源または前記第2の電源で充放電した後、前記第1の比較手段による比較結果に基づいて、前記容量素子に対して前記第1の定電流源または前記第2の定電流源を介して充放電させて、前記容量素子の充電電圧が前記入力電圧に達した時点で保持する制御手段とを具備することを特徴とする。

【0011】

また、請求項2記載の発明では、請求項1記載の容量素子駆動回路において、前記第1の定電流源と前記容量素子との経路を開閉する第1のスイッチ手段と、前記第2の定電流源と前記容量素子との経路を開閉する第2のスイッチ手段と、前記容量素子と前記第1の電源の経路を開閉する第3のスイッチ手段と、前記容量素子と前記第2の電源の経路を開閉する第4のスイッチ手段とを具備し、

前記制御手段は、前記第2の比較手段による比較結果に基づいて、前記第3のスイッチ手段および前記第4のスイッチ手段を開閉制御し、前記容量素子を前記第1の電源または前記第2の電源で充放電した後、前記第1の比較手段による比較結果に基づいて、前記第1のスイッチ手段および前記第2のスイッチ手段を開閉制御し、前記容量素子の電圧を前記第1の定電流源または前記第2の定電流源を介して充放電して前記入力電圧に達した時点で保持することを特徴とする。

【0012】

また、請求項3記載の発明では、請求項2記載の容量素子駆動回路において、前記第1の比較手段は、インバータと、前記入力電圧とインバータの論理閾値の電圧の差分の電圧を保持するキャパシタとからなるスイッチドコンパレータより

構成されていることを特徴とする。

【0013】

また、請求項4記載の発明では、請求項2記載の容量素子駆動回路において、前記第2の比較手段は、前記入力電圧を反転するインバータと、前記インバータへの入力信号の供給／非供給を行なうアナログスイッチとから構成されていることを特徴とする。

【0014】

また、請求項5記載の発明では、請求項2記載の容量素子駆動回路において、前記第2の比較手段は、前記第1の電源と前記第2の電源との中間電位を前記参照電圧として、前記入力電圧と比較することを特徴とした。

【0015】

また、請求項6記載の発明では、請求項2記載の容量素子駆動回路において、前記第1の比較手段は、論理閾値が変更可能なインバータからなるスイッチドコンパレータから構成されていることを特徴とする。

【0016】

この発明では、制御手段により、前記第2の比較手段による比較結果に基づいて、前記容量素子を前記第1の電源または前記第2の電源で充電した後、前記第1の比較手段による比較結果に基づいて、前記容量素子の電圧を前記第1の定電流源または前記第2の定電流源を介して充放電させて前記入力電圧に達した時点で保持する。したがって、液晶表示装置のソースドライバにおける出力段部分の電力損失を減らし、ソースドライバ、ひいては液晶表示装置全体の低消費電力化を実現することが可能となる。

【0017】

【発明の実施の形態】

以下、図面を用いて本発明の実施の形態を説明する。

A. 第1実施形態

図1は、本発明の第1実施形態によるソースドライバの出力段回路（バッファ）の構成を示すブロック図である。図1において、比較回路10は、D/Aコンバータ60（図10）から出力された入力 V_{in} と、出力 V_{out} と比較する。

比較回路 11 は、上記入力 V_{in} が出力 V_{out} の中点より上か下かを判定する。SW 制御回路 12 は、比較回路 10 の判定出力、比較回路 11 の判定出力、書込信号 WR 、出力初期化信号 $INIT$ に従って、スイッチ $SWa \sim SWd$ のオン・オフを制御する。スイッチ SWa とスイッチ SWb は、SW 制御回路 12 の制御に従って、定電流源 13 および定電流源 14 の出力への接続／非接続を行なう。スイッチ SWc とスイッチ SWd は、SW 制御回路 12 の制御に従って、電圧 $V1$ 、 $V2$ の出力への接続／非接続を行なう。 CL は、負荷容量であり、ソース配線 1 本当たりの容量を示す。 V_{COM} は、液晶パネルの対向電極電位である。

【0018】

図 2 は、本第 1 実施形態によるソースドライバの出力段回路の回路構成を示す回路図である。なお、図 1 に対応する部分には同一の符号を付けて説明を省略する。比較回路 10 と比較回路 11 とには、D/A コンバータ 60（図 10）からの出力 V_{IN} が入力されており、比較回路 11 には、入力判定信号 $LATCH$ も入力されている。SW 制御回路 12 には、比較回路 11 の出力と、初期化信号 $INIT$ と、書込信号 WR とが入力されている。

【0019】

スイッチ $SW1$ 、 $SW2$ 以外のスイッチ $SW3 \sim SW10$ は、SW 制御回路 12 からの信号により経路を開閉する。トランジスタ $Q1$ 、 $Q2$ は、定電流源として動作し、それぞれのゲート端子にはバイアス電圧 V_{BN} 、 V_{BP} が印加されている。トランジスタ $Q3$ 、 $Q4$ は、比較回路 10 の出力と比較回路 11 の出力とにより、ゲート回路 $G1$ 、 $G2$ を経由してオン／オフ（開閉）制御される。

【0020】

次に、上述した第 1 実施形態の動作について説明する。図 3 は、比較回路 10 を構成するスイッチドコンパレータ回路の動作を説明するための回路図である。図 4 は、本第 1 実施形態によるソースドライバの出力段回路の動作を説明するためのタイミングチャートである。また、図 5 および図 6 は、本第 1 実施形態による駆動回路における各部の電圧波形を示す概念図である。本駆動回路は、比較回路 11 に使用するインバータの論理閾値（ V_{th12} ）の電圧に対して V_{IN} が低い場合と高い場合とで動作が異なる。そこで、図 5 に $V_{IN} < V_{th12}$

の場合を示し、図6に $V_{IN} \geq V_{th12}$ の場合を示す。

【0021】

まず、 $V_{IN} < V_{th12}$ の場合の動作を、図2、図3、図4、図5、図10を参照して順に説明する。出力のシーケンスは、初期設定、書き込み、保持の3つの期間に分けられる。ソースドライバ57において1走査線分のデジタルデータが入力され、出力すべきデータが確定した後に、D/Aコンバータ60によるDA変換が行われ、対応する画素に書き込むアナログ電圧が V_{IN} に入力される。この電圧 V_{IN} が安定した後、比較回路11において入力判定信号LATCHがアクティブになり、スイッチSW1が閉じられ、スイッチSW2が開かれて比較回路11に取り込まれる（図4の時刻 t_0 ）。このタイミングは、保持期間の最後で初期設定期間の直前に行われる。

【0022】

比較回路11において、比較回路11を構成するインバータ21の論理閾値 V_{th12} より V_{IN} が低ければ、比較回路11の出力はLとなり、高ければHとなる。まず、 V_{IN} が V_{th12} より低い場合を想定して説明する。この場合、比較回路11の出力はLとなる。 V_{IN} が V_{th12} より低い電圧に近い場合、比較回路11の初段のインバータには比較的大きな貫通電流が流れてしまい、無駄な電力消費となってしまう。このため、インバータ21を偶数段接続してゲインを確保するとともに、スイッチSW2により入力にフィードバックする構成を取る。LATCH信号がアクティブの期間のみ、スイッチSW1を閉じることで、 V_{IN} を短い時間で取り込み、その後は、スイッチSW1を開き、スイッチSW2を閉じることで電力消費を抑える。スイッチSW1を開き、スイッチSW2を閉じた後は、次のシーケンスまでそのままの状態を保持することになる。

【0023】

次に、初期設定信号INITがアクティブになることにより、スイッチSW4、SW5、SW8、SW10が閉じられる（図4の時刻 t_1 ）。他のスイッチSWは、スイッチSW2以外は開いているものとする。比較回路11の出力は、Lであるので、トランジスタQ3はオフ、スイッチSW8が閉じているので、N3

の電位がVSSとなりトランジスタQ4もオフとなる。また、スイッチSW10が閉じているのでV_{OUT}はVSSに設定される。

【0024】

このときの比較回路1の動作は、スイッチSW4, SW5が閉じているとき、V_{N1}は、比較回路10を構成するインバータの論理閾値電圧V_{th11}となるため、図3(a)に示すように、コンデンサCCには入力電圧V_{IN}と比較回路10のインバータ20の論理閾値との差分の電圧V_{cap} = V_{th1} - V_{IN}が発生する。

【0025】

その後、初期設定信号INITがインアクティブになることで、スイッチSW4, SW5, SW8, SW10が開き、スイッチSW3が閉じられる(図4の時刻t2)。スイッチSW4が開き、スイッチSW3が閉じられるので、比較回路10の入力は、V_{OUT}となるが、先ほどの初期化動作によりV_{OUT}はVSSとなっている。コンデンサCCには、先ほど設定されたV_{cap}が保持されているので、図3(b)に示すように、V_{N1} = V_{OUT} + V_{cap}となる。このときの出力CP_{OUT}はHとなる。

【0026】

次に、書込信号WRがアクティブになり、スイッチSW6が閉じ(図4の時刻t3)、N3がVDDとなるため、トランジスタ(定電流源)Q4がオンとなり、V_{OUT}とつながり、負荷CLに電荷が供給され始める。この時間は、スイッチSW3が閉じているので、V_{OUT} = V_{N2}であるが、図5に示すように、V_{OUT}は初期設定されたVSSからトランジスタ(定電流源)Q4により電荷が供給されるため、一定の傾きで電圧が上昇していく。一方、V_{N1}もV_{N2}と同様にV_{cap}の電位差を保ちながら上昇していく。

【0027】

トランジスタ(定電流源)Q2により、負荷CLに電荷が供給されて上昇し、V_{OUT} (= V_{N2}) がV_{IN}となったとき、V_{N1}は、比較回路11の論理閾値V_{th11}と等しくなり、比較回路11の出力がHからLに反転する。

【0028】

比較回路11の出力がLになると、トランジスタQ4はオフとなり、トランジスタ（定電流源）Q2とV_{OUT}との経路が遮断され、V_{OUT}がV_{IN}となったところで、書き込みが終了して保持期間へ移行する（図4の時刻t4）。保持期間では、次の書き込みシーケンスの初期設定まで、V_{OUT}=V_{IN}の状態が保持される。よって、実際には、書き込み期間と保持期間とを使用して、画素のTFTをオンすることによりLCDパネルの画素への書き込みを行なえる。定電流源の大きさは、負荷CLの大きさにより決定されるが、デバイスのばらつき、温度変化などを考慮し、余裕をもって設定される。

【0029】

保持期間終了後（図4の時刻t5）、次の走査線の画素を書き込むためのシーケンスが同様に順次繰り返される。また、V_{IN}≧V_{th12}の場合、V_{IN}<V_{th12}の場合との違いは、初期設定信号INITがアクティブになったときに、SW制御回路12によりスイッチSW4、SW5、SW7、SW9が閉じられることにより、V_{OUT}がVDDに初期設定される。そのときの各部の電位関係を図6に示す。

【0030】

上述した第1実施形態によれば、動作的にスイッチSW主体とした回路構成を取ることにより、バイアス電流や貫通電流を極力抑えることができ、QVGA相当のTFTパネルを駆動する場合、出力段部分の消費電力として18mW程度（従来に比べ40%低減）に抑えることが可能となる。

【0031】

B. 第2実施形態

次に、本発明の第2実施形態について説明する。上述した第1実施形態では、比較回路10において、スイッチドコンパレータを使用する場合、貫通電流を極力減らすことが重要となってくるが、一方で貫通電流を減らすことにより、スイッチドコンパレータのディレイ時間が問題となる場合がある。

【0032】

図8（a）は、そのときの動作のスイッチドコンパレータ出力と入出力電圧波

形を示す波形図である。入力電圧は1Vとしてある。この場合、スイッチドコンパレータのディレイにより定電流源と負荷CLとの経路を遮断するタイミングが、遅れ出力電圧が入力電圧を行き過ぎてオフセット電圧が生じている。そこで、このディレイを補正するために、スイッチドコンパレータを構成するインバータを図7(b)に示す構成にする。なお、図7(a)は、通常のインバータの構成である。図7(b)において、これに対応するN-CHのトランジスタQ13とP-CHのトランジスタQ14である。これに、トランジスタQ11, Q12を直列に接続してインバータの論理閾値を可変できるようにする。

【0033】

動作としては、 $V_{IN} < V_{th12}$ の場合、初期設定期間においてはスイッチSW11とスイッチSW14とを閉じる。この場合、N-CH側のトランジスタQ11とトランジスタQ13のゲート幅Wが同じ場合、実質的にトランジスタQ11とトランジスタQ13のゲート長Lを足したL'となる W/L' の1つのトランジスタとみなすことができる。また、P-CH側は、トランジスタQ12がオン状態なので、1つのトランジスタQ14で構成されているとみなすことができる。

【0034】

次に、書き込み期間においては、スイッチSW12とスイッチSW13とを閉じる。これによって、実質的には、初期設定時と比べ、P-CH側のトランジスタのゲート長Lが大きくなり、N-CH側のトランジスタのゲート長Lが小さくなる。また、インバータの論理閾値は、N-CHとP-CHの W/L の大きさの比で決められることより、図7(b)に示す構成を、1つのインバータとしてみると、初期設定時の論理閾値 V_{th11} よりも書き込み時の論理閾値 V_{th1}' を低くすることが可能となる。ゆえに、出力電圧がランプ的に変化するので、時間的に早めにスイッチドコンパレータを反転させることが可能となる。そのときの動作電圧波形を図8(b)に示す。この構成により、スイッチドコンパレータに遅延がある場合にも補正が可能となる。

【0035】

上述した第1、第2実施形態によれば、バイアス電流、貫通電流の流れない駆

動回路を実現できるので低電力化が実現できる。また、比較回路 10 を、インバータと、入力電圧とインバータの論理閾値の電圧の差分の電圧を保持するキャパシタとからなるスイッチドコンパレータより構成したので、低電力で回路規模の小さな回路で実現できる。また、比較回路 11 を、入力信号を反転するインバータと、前記インバータへの入力信号の供給／非供給を行なうアナログスイッチとから構成したので、低電力で回路規模の小さな回路で実現できる。また、比較回路 11 を、第 1 の電源 V_{dd} と第 2 の電源 V_{ss} との中間電位を参照電圧として、入力電圧と比較するようにしたので、出力の初期化における電力損失を最小にすることができる。また、比較回路 10 を、論理閾値が変更可能なインバータからなるスイッチドコンパレータから構成したので、入出力のオフセット電圧を小さくすることができる。

【0036】

【発明の効果】

以上説明したように、本発明によれば、制御手段により、前記第 2 の比較手段による比較結果に基づいて、前記容量素子を前記第 1 の電源または前記第 2 の電源で充放電した後、前記第 1 の比較手段による比較結果に基づいて、前記容量素子の電圧を前記第 1 の定電流源または前記第 2 の定電流源を介して充放電させて前記入力電圧に達した時点で保持するようにしたので、液晶表示装置のソースドライバにおける出力段部分の電力損失を減らし、ソースドライバ、ひいては液晶表示装置全体の低消費電力化を実現することができるという利点が得られる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態によるソースドライバの出力段回路（バッファ）の構成を示すブロック図である。

【図 2】 本第 1 実施形態によるソースドライバの出力段回路の回路構成を示す回路図である。

【図 3】 比較回路 10 を構成するスイッチドコンパレータ回路の動作を説明するための回路図である。

【図 4】 本第 1 実施形態によるソースドライバの出力段回路の動作を説明するためのタイミングチャートである。

【図 5】 本第 1 実施形態による駆動回路における各部の電圧波形を示す概念図である。

【図 6】 本第 1 実施形態による駆動回路における各部の電圧波形を示す概念図である。

【図 7】 通常のインバータの構成とスイッチドコンパレータを構成するインバータの構成を示す回路図である。

【図 8】 スwitchドコンパレータ出力と入出力電圧波形を示す波形図である。

【図 9】 従来の液晶表示装置におけるバッファ（出力段回路）の回路構成を示す等価回路図である。

【図 1 0】 一般的な液晶表示装置の駆動回路の構成を示すブロック図である。

【符号の説明】

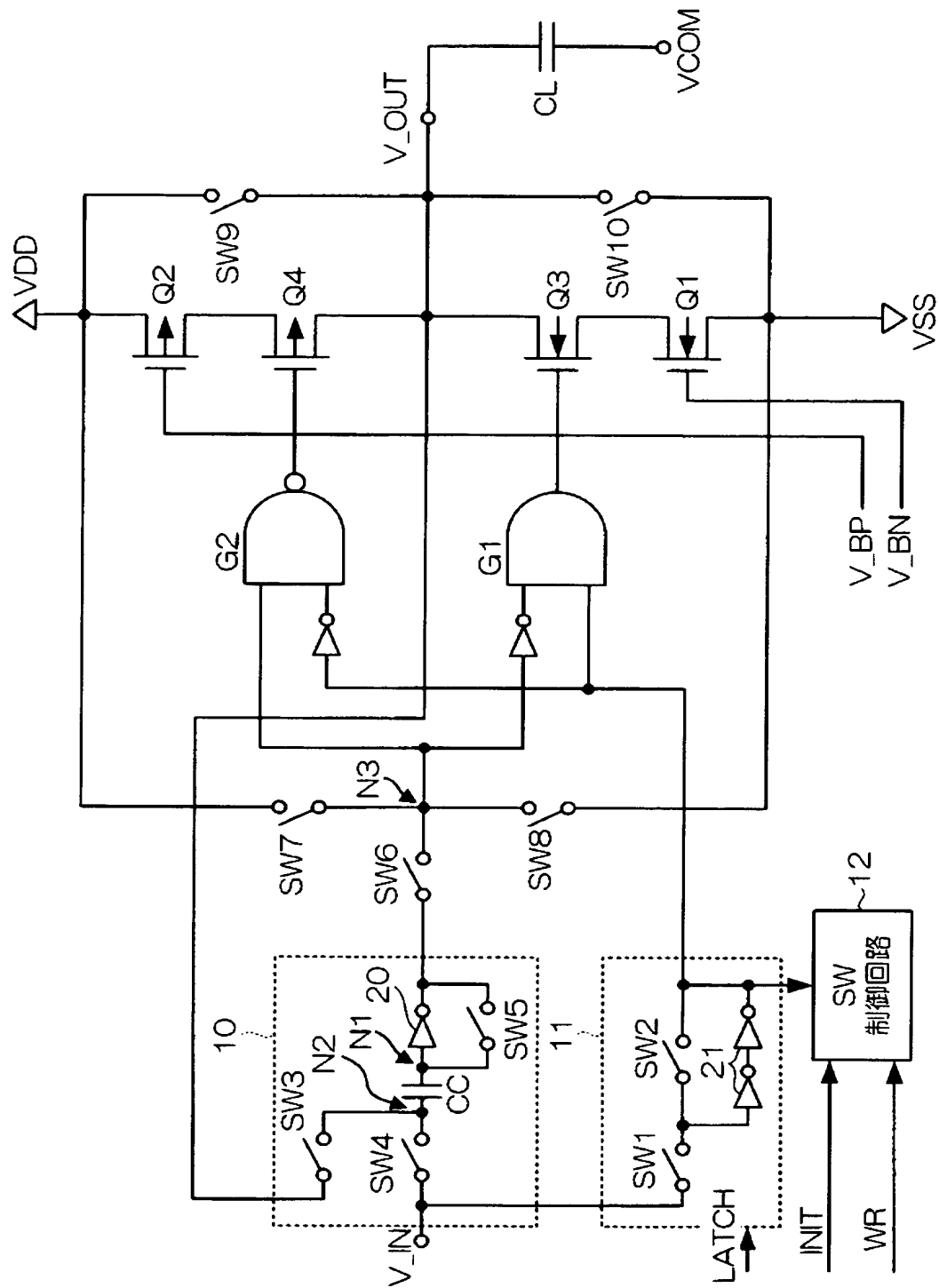
- 1 0 比較回路（第 1 の比較手段）
- 1 1 比較回路（第 2 の比較手段）
- 1 2 SW制御回路（スイッチ制御手段）
- 1 3 定電流源（第 1 の定電流源）
- 1 4 定電流源（第 2 の定電流源）
- 2 0 インバータ
- 2 1 インバータ
- SW a スイッチ（第 1 のスイッチ手段）
- SW b スイッチ（第 2 のスイッチ手段）
- SW c スイッチ（第 3 のスイッチ手段）
- SW d スイッチ（第 4 のスイッチ手段）
- SW 1 スイッチ（アナログスイッチ）
- SW 2 スイッチ（アナログスイッチ）
- SW 3 スイッチ（アナログスイッチ）
- SW 4 スイッチ（アナログスイッチ）
- SW 5 スイッチ（アナログスイッチ）

V 1 電源電圧（第 1 の電源）

V 2 電源電圧（第 2 の電源）

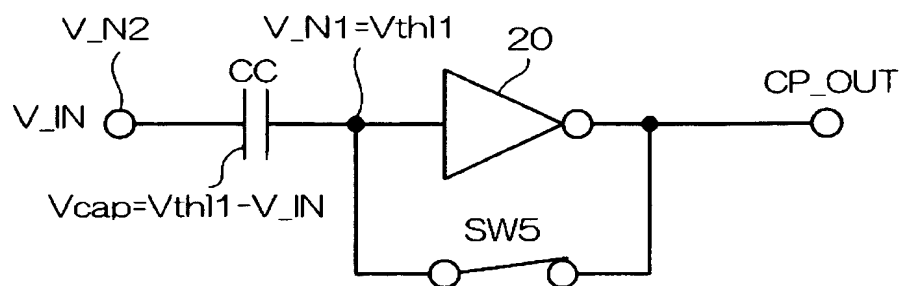
C L 負荷

【図 2】

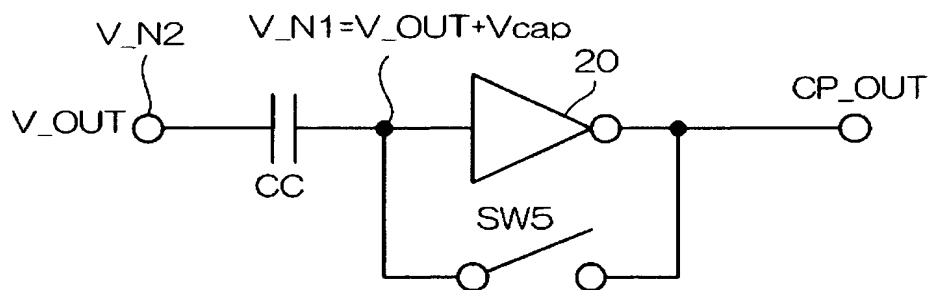


【図 3】

(a)



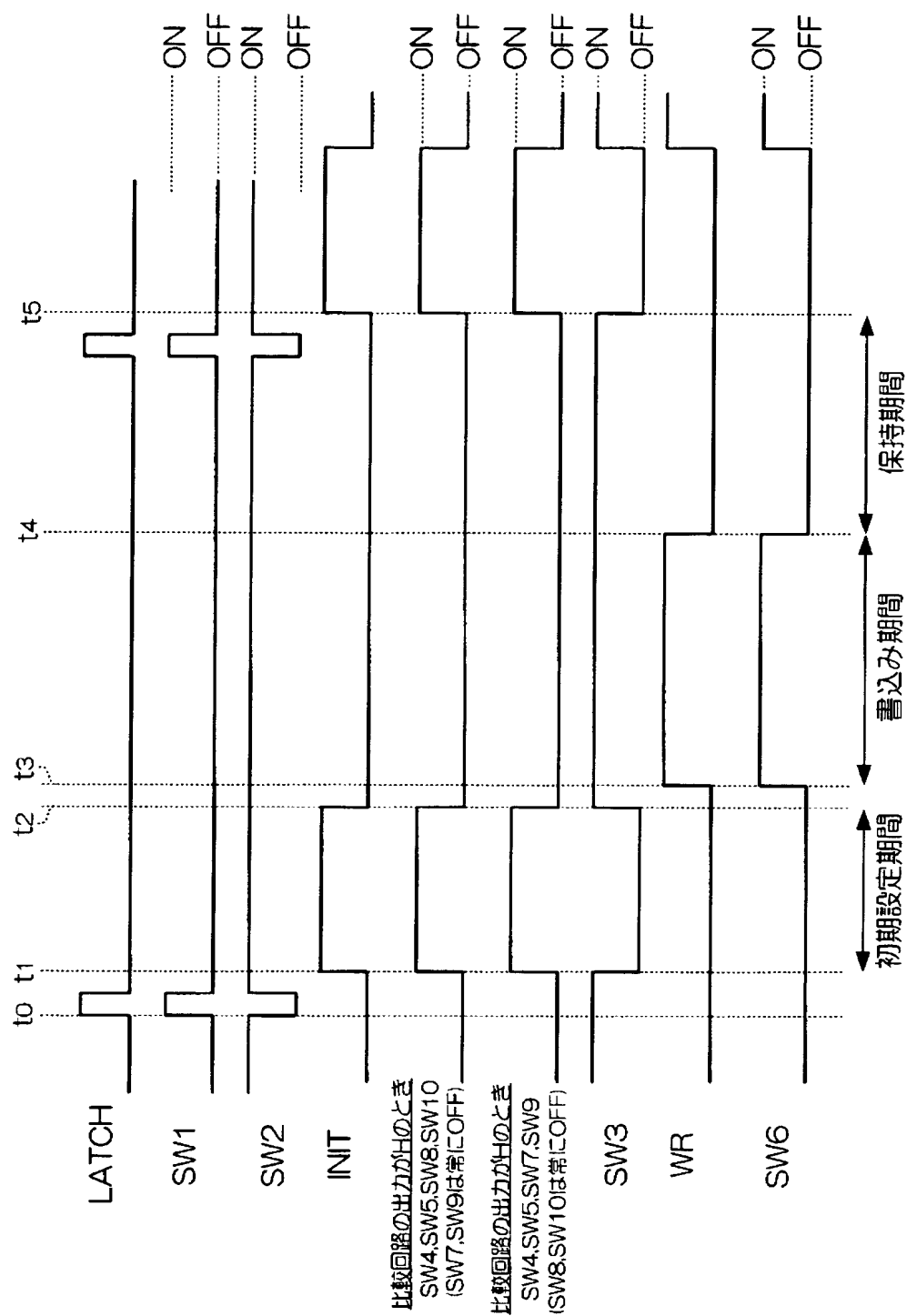
(b)



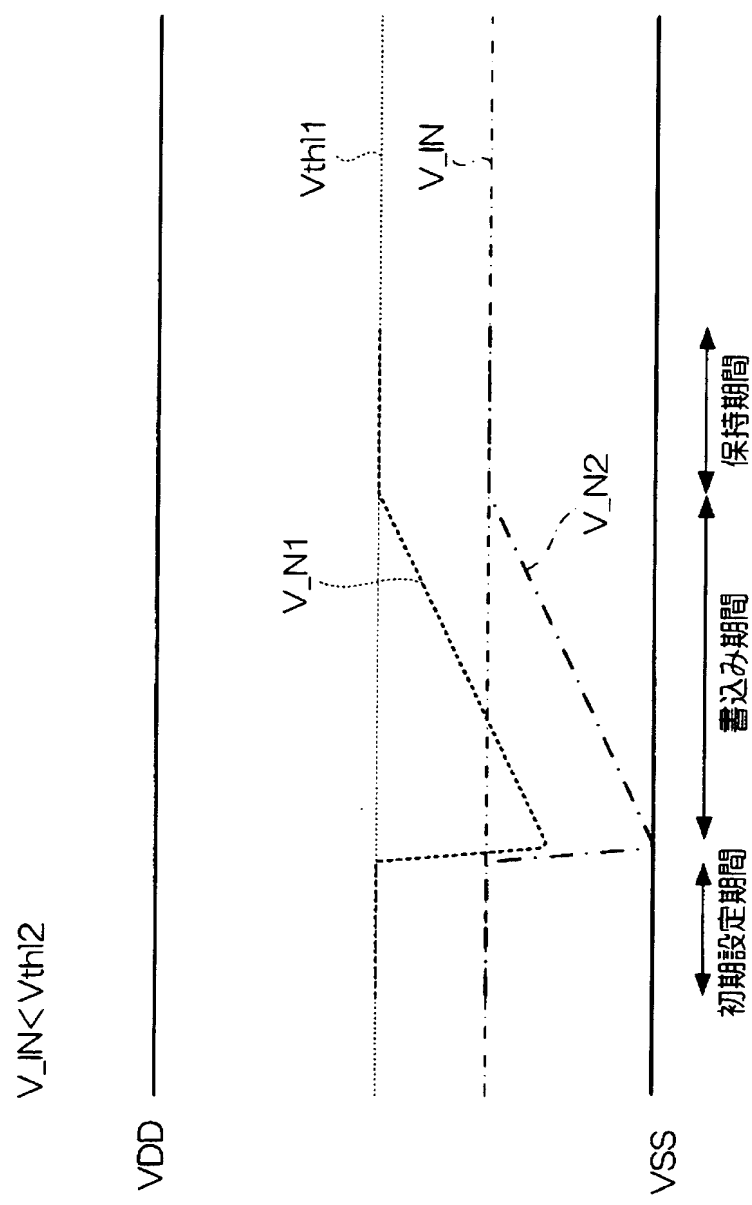
$$V_{OUT} > V_{IN} \rightarrow CP_OUT = H$$

$$V_{OUT} < V_{IN} \rightarrow CP_OUT = L$$

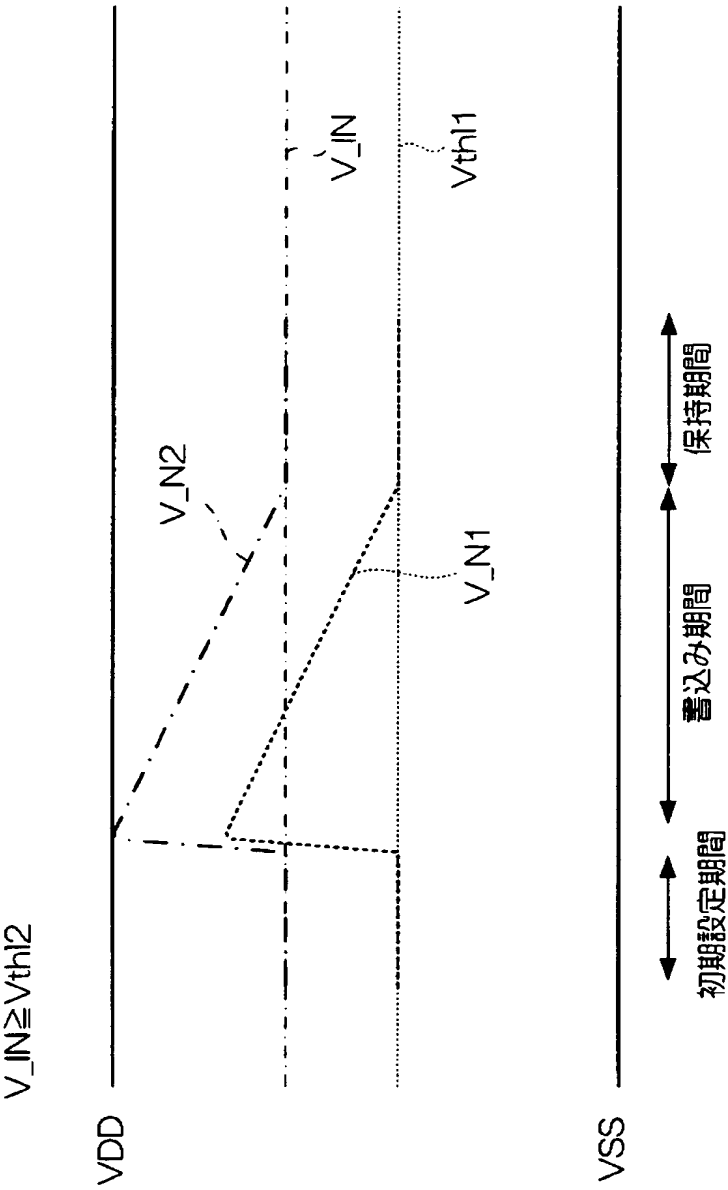
【図 4】



【図 5】

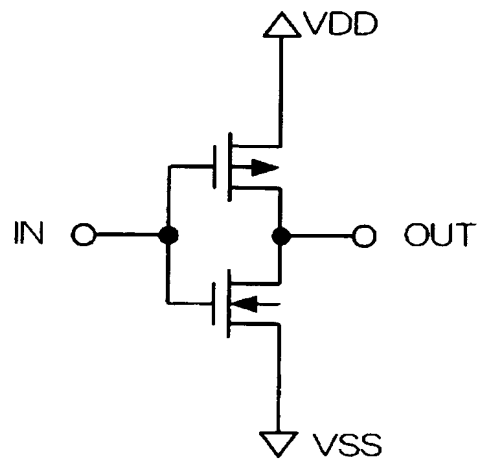


【図 6】

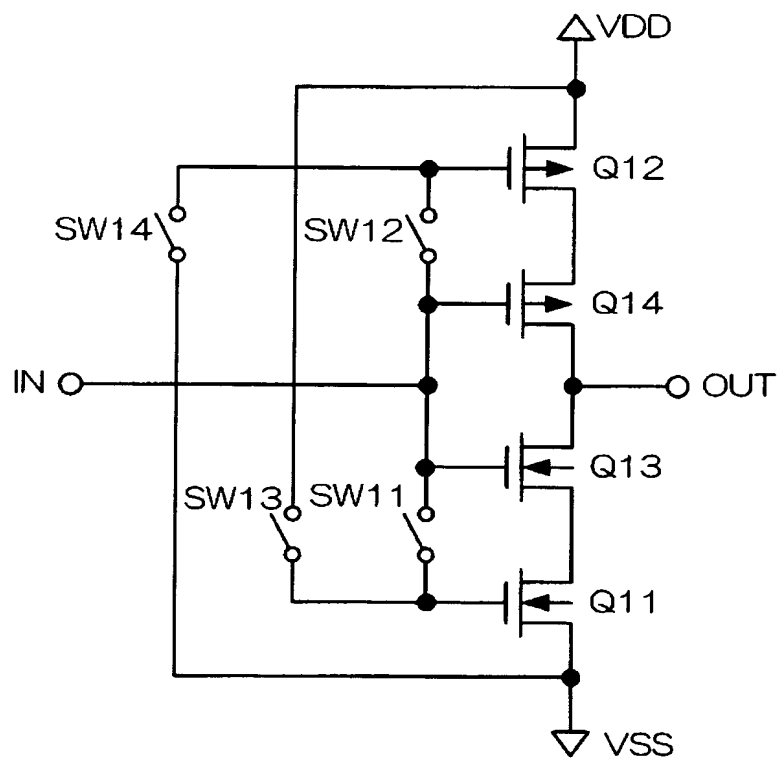


【図 7】

(a)

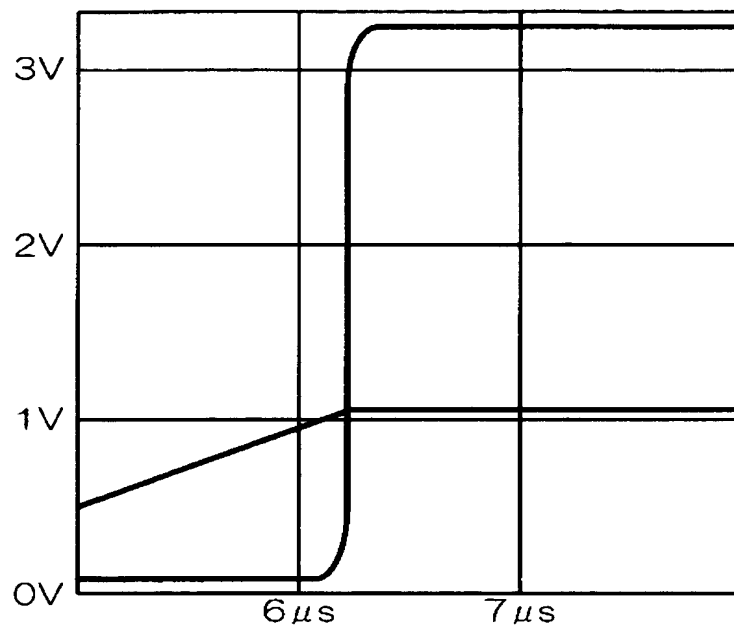


(b)

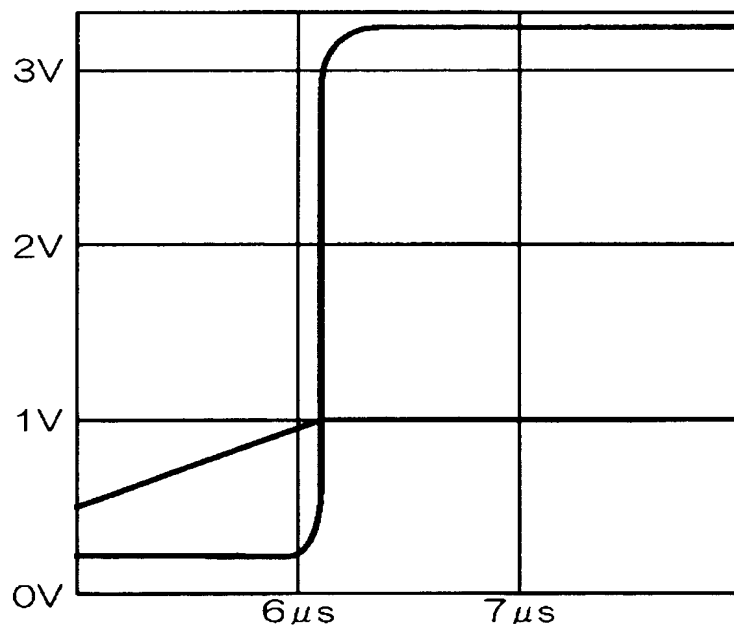


【図 8】

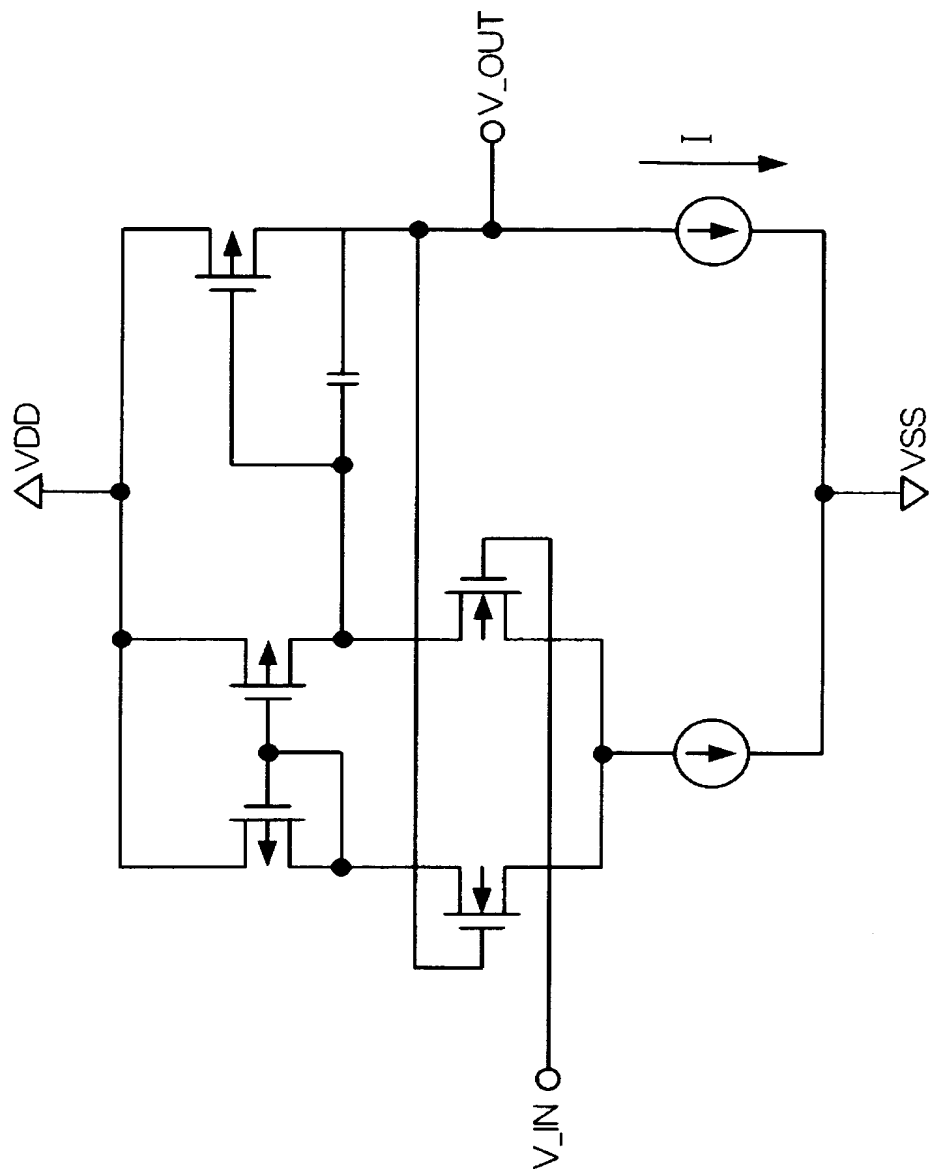
(a) 通常インバータ



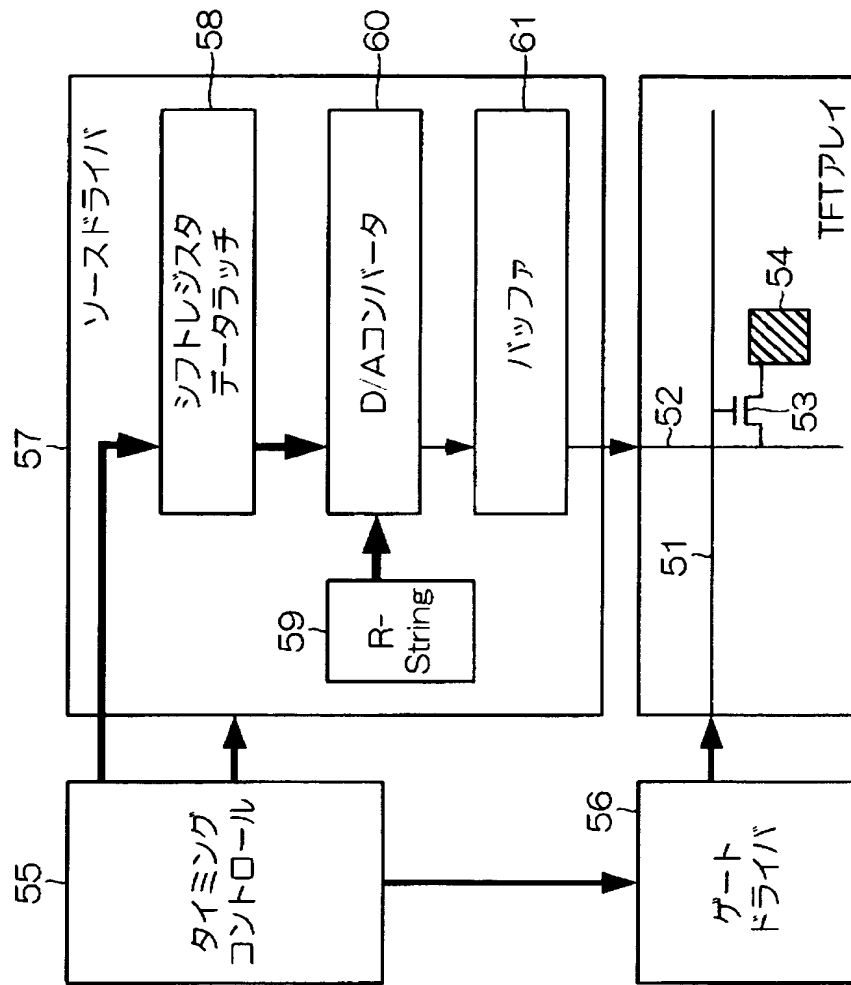
(b) 閾値可変インバータ



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 液晶表示装置のソースドライバにおける出力段部分の電力損失を減らし、ソースドライバ、ひいては液晶表示装置全体の低消費電力化を実現する。

【解決手段】 比較回路10は、D/Aコンバータからの入力 V_{IN} と、出力 V_{OUT} を比較する。比較回路11は、偶数段接続されたインバータと、アナログスイッチとから構成される。比較回路11では、初期設定の直前に、 V_{IN} を短い時間で取り込み、その後は、アナログスイッチSW1を開き、スイッチSW2を閉じることで電力消費を抑える。SW制御回路12は、比較回路11の判定出力、書込信号WR、出力初期化信号INITに従って、スイッチSW3～SW10のオン・オフを制御する。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 3 0 4 7 0
受付番号	5 0 2 0 1 7 2 0 6 1 7
書類名	特許願
担当官	第二担当上席 0 0 9 1
作成日	平成 1 4 年 1 1 月 1 5 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000010098
【住所又は居所】	東京都大田区雪谷大塚町 1 番 7 号
【氏名又は名称】	アルプス電気株式会社

【代理人】

申請人

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【選任した代理人】

【識別番号】	100089037
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	渡邊 隆

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100094400
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】 鈴木 三義
【選任した代理人】
【識別番号】 100107836
【住所又は居所】 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ
ル 志賀国際特許事務所
【氏名又は名称】 西 和哉
【選任した代理人】
【識別番号】 100108453
【住所又は居所】 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ
ル 志賀国際特許事務所
【氏名又は名称】 村山 靖彦

次頁無

特願 2 0 0 2 - 3 3 0 4 7 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 1 0 0 9 8]

1 . 変更年月日 1 9 9 0 年 8 月 2 7 日

[変更理由] 新規登録

住 所 東京都大田区雪谷大塚町 1 番 7 号

氏 名 アルプス電気株式会社